

(11)Publication number : 07-086931

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

H03L 7/18  
H03L 7/199

(21)Application number : 05-231637

(71)Applicant : NEC CORP

(22)Date of filing : 17.09.1993

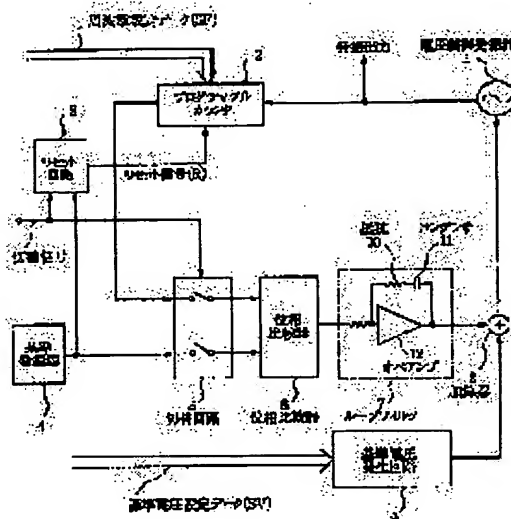
(72)Inventor : YAMAZAKI TOYOE

# (54) FREQUENCY SYNTHESIZER

## (57)Abstract:

PURPOSE: To shorten pull-in time at the time of a frequency change.

CONSTITUTION: The frequency synthesizer is composed of a basic oscillator 4, voltage controlled oscillator(VCO) 1, programmable counter 2, charge pump type phase comparator 6, loop filter 7 and adder 8. When switching a frequency, the frequency setting of the programmable counter 2 is changed, the voltage of a reference voltage generation circuit 9 is changed, and a reset signal synchronized with the phase of the basic oscillator 4 is applied to the programmable counter 2. At the same time, a switching circuit 5 connected to the input of the phase comparator 6 is operated, the potential fluctuation of the loop filter 7 between normal time and frequency switching time is reduced and even in the state of changing the output frequency of the VCO 1 because of the influence of the change of a surrounding temperature, a high-speed pull-in operation is enabled.



## LEGAL STATUS

[Date of request for examination] 25.03.1994

[Date of sending the examiner's decision of rejection] 24.09.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

4-1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86931

7/17

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/18 7/199		9182-5 J	H 0 3 L 7/ 18 7/ 10	Z G

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平5-231637

(22) 出願日 平成5年(1993)9月17日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山崎 豊栄

東京都港区芝五丁目7番1号 日本電気株式会社内

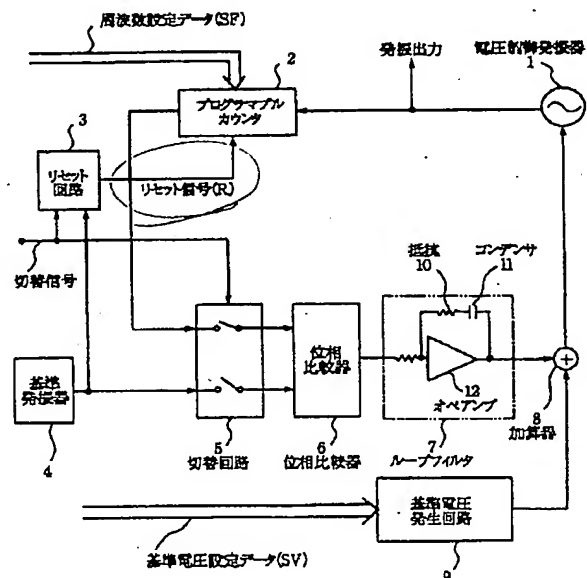
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 周波数シンセサイザ

(57) 【要約】

【目的】周波数シンセサイザにおいて、周波数変更時の引込み時間の高速化を行う。

【構成】基本発振器4、電圧制御発振器1、プログラマブルカウンタ2、チャージポンプ型位相比較器6、ループフィルタ7、加算器8から構成される。周波数切り替え時には、プログラマブルカウンタ2の周波数設定変更及び基準電圧発生回路9の電圧変更すると共に、プログラマブルカウンタ2に基準発振器4の位相に同期したリセット信号を与える。また、同時に位相比較器6の入力に接続した切替回路5を動作させループフィルタ7の定常時と周波数切り替え時の電位変動を少なくし電圧制御発振器1の出力周波数が周囲温度の変化の影響などによって変化を生じている状態であっても、高速の引き込み動作を可能とする。



## 【特許請求の範囲】

【請求項1】 基準発振器と、電圧制御発振器と、前記電圧制御発振器の出力を分周するプログラマブルカウンタと、前記基準発振器からの出力とプログラマブルカウンタの出力との位相を比較する位相比較器と、位相比較器の出力の帯域制限して制御電圧を発生するループフィルタとで構成される周波数シンセサイザにおいて、周波数切り替え時に位相比較器に供給されるプログラマブルカウンタと基準発振器の出力を断とする切替手段と、基準発振器の出力に同期したリセット信号をプログラマブルカウンタに加えるリセット手段と、設定周波数に応じた直流電圧を発生する基準電圧発生回路とループフィルタとの出力電圧を加算する加算手段とを有する周波数シンセサイザ。

【請求項2】 前記位相比較器にチャージポンプ型を使用し、かつループフィルタに不平衡型アクティブフィルタを用いることを特徴とする請求項1記載の周波数シンセサイザ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、PLL周波数発振器（シンセサイザ）に関し、特に周波数変更を高速で行なうことができる周波数シンセサイザに関するものである。

【0002】

【従来の技術】従来のこの種の周波数シンセサイザは、図3に示されるごとく、一般的なPLL回路の構成例をとっており、1は電圧制御発振器、2は電圧制御発振器1の発振周波数を分周するプログラマブルカウンタ、4は基準発振器、13はプログラマブルカウンタ2の出力信号と基準発振器4の出力信号のどちらかを切り替える切替回路、14は切替回路の出力信号と基準発振器3の出力信号とを比較し、位相差に応じた極性のパルスからなる出力を発生する位相比較器、15はループフィルタであり抵抗10、コンデンサ11、オペアンプ12から構成されており、さらに8は加算器であり、ループフィルタ15の出力電圧と9の基準電圧発生回路の出力電圧を加算するものからなっている。本PLL周波数シンセサイザの動作を説明するため、ある周波数に位相同期された定常状態と周波数に変更された周波数設定状態の二つの場合に分けて説明する。

【0003】先ず定常状態の動作に関して説明する。基準発振器4からの出力は位相比較器14の第一の入力として加えられる。一方、電圧制御発振器1の出力信号はプログラマブルカウンタ2で分周され、この出力は切替回路13を介して、位相比較器14の第2の入力として加えられる。位相比較器14は、これら二つの入力の位相を比較し位相誤差に比例した電圧が出力され、ループフィルタ15に加えられる。ループフィルタ15は、本PLLループのループフィルタを構成する一種の積分器

であり、通常その時定数として約0.1~1×10<sup>-4</sup>秒程度が選ばれている。ループフィルタ15の出力信号は、加算器8にて基準電圧発生回路9の出力信号と加算される。本基準電圧発生回路9は、本回路に外部より入力されるデジタル信号（基準電圧設定データ：SV）をアナログ電圧に変換するD/A変換器である。上記加算器8で合成された電圧は、電圧制御発振器1に加えられる。電圧制御発振器1の出力信号の位相を位相比較器14の位相誤差が減少する方向に制御している。したがって、電圧制御発振器1の出力周波数は、基準発振器4の周波数の正数倍でかつ位相は完全に同期された高周波信号となっている。

【0004】次に出力周波数を変更する周波数設定状態について説明する。周波数設定状態の場合には、外部からの切替信号が切替回路13に入力され、切替回路13は、プログラマブルカウンタ2の出力信号から基準発振器4の出力信号側へ切り替えられる。その後、外部より周波数設定データ（SF）がプログラマブルカウンタ2に加えられる分周数に変更されるとともに、基準電圧設定データ（SV）が基準電圧発生器9に加えられる基準電圧発生回路9の出力電圧が変更される。この電圧は、電圧制御発振器1の発振周波数が設定周波数となるように選ばれており、その結果、電圧制御発振器1の出力周波数は、ほぼ希望周波数に近い値となっている。

【0005】また、切替信号により切替回路13の出力信号がプログラムカウンタ2の出力側から基準発振器4の出力側に切り替えられている間に、リセット回路3により基準発振器4の出力に同期したリセット信号（R）がプログラマブルカウンタ2に加えられる。プログラマブルカウンタ2の出力は、基準発振器3の出力に同期している。

【0006】この場合位相比較器14は、位相比較される両入力に基準発振器4の出力が接続されているため、位相誤差が完全に無くなっている。切替信号はプログラマブルカウンタ2の分周数の変更及び基準電圧発生回路9の電圧が所定の値に達し、安定となるまでの間加えられる。この後、切替信号がOFFとなり、先に説明した定常状態となり、電圧制御発振器1の出力は基準発振器4に位相同期される。

【0007】

【発明が解決しようとする課題】上述した従来の周波数シンセサイザは、周波数設定状態にある間は、位相比較器14に加えられる第1と第2の入力が常に同相状態におかれ、周波数設定が行われてから定常状態に復帰するため、周波数設定状態に入る直前の電圧制御発振器1の出力の位相と基準発振器4の位相とが同期しており、さらに周波数設定状態に入り周波数に変更され再び定常状態となったときにも電圧制御発振器1の出力の位相と基準発振器4の位相とが一致していれば周波数変更後の電圧制御発振器1の位相同期が高速に行われる。

【0008】しかし、電圧制御発振器1の発振周波数が周囲の温度変化などの影響で周波数変更直前の定常状態で変化し、位相同期誤差が発生している状態で周波数設定状態に移行し、周波数変更が行われ位相比較器14の位相誤差が無くなってしまうと、位相誤差の変化分に相当する電圧分だけループフィルタ5の出力電圧が変化することとなる。

【0009】この結果、周波数設定状態から定常状態に復帰し、位相同期が行われるまでは、再び位相同期に必要な位相誤差が発生するまでの時間が必要となり、引き込みに長時間を要するという欠点があった。したがって、例えば複数の異なる送受信周波数帯を高速で切り替えて送受信を行う送受信機の切り替えにこのような周波数シンセサイザを用いる場合には送受信周波数の切り替え速度に制約を受けるという問題があった。

【0010】図4は、本従来例における周波数切り替え時の動作を説明するものである。本図において、周波数切り替え前に電圧制御発振器1の温度変動等により位相誤差が発生している場合に、ループフィルタ15の出力電圧は $V_1$ となっている。この状態にて周波数を切り替えると、位相比較器14は、切り替え回路13が動作しているため完全に同期がとれており位相誤差が発生せず、ループフィルタ15の出力電圧では $V_2$ となっている。

【0011】次に、本状態より定常状態に移行した場合、再び電圧制御発振器1は、位相誤差が発生しているため、前述のループフィルタ15の出力電圧において $V_2$ から $V_1$ となるための位相同期のための時間 $t_2$ が必要となり高速切り替えが難しいことを示す。

【0012】尚、従来よりこの種のPLL周波数シンセサイザの高速切り替えを可能とするための種々の方式が用いられており、例えば、周波数切り替え時に電圧制御発振器を参照周波数まで分周する分周回路と基準発振器を分周して上記参照周波数を得る分周回路の両者にリセット信号を与えるなど種々の方式が知られている（特開平3-226012号、特開平5-110431号、特開平3-256410号各公報）。

【0013】しかし、いずれも周波数設定状態から定常状態へもどった場合に発生する位相誤差を含めて周波数引き込み時間を高速化するものではない。

【0014】

【課題を解決するための手段】本発明の周波数シンセサイザは、基本周波数の信号を発生する基準発振器と、電圧制御信号を入力し発振周波数が制御される電圧制御発振器と、外部からの制御信号によって分周比が可変でき、前記電圧制御発振器の出力周波数を少なくとも基準周波数まで分周することのできるプログラマブルカウンタと、前記基準発振器からの出力と前記プログラマブルカウンタの出力との位相比較をするチャージポンプタイプの位相比較器と、前記プログラマブルカウンタの出力

と前記位相比較器の入力及び前記基準発振器の出力と前記位相比較器の入力との間に挿入され前記電圧制御発振器が周波数設定状態にある間は外部からの制御信号によって前記位相比較器の入力を断とする切替回路と、位相比較器の出力にて直流信号の帯域を制限して制御電圧を発生するループフィルタ回路と、外部からの制御信号によって制御され所定の電圧を出力する基準電圧発生回路と、前記ループフィルタ回路の出力と前記基準電圧発生器の出力とを加算し出力する加算器と、前記電圧制御発振器が周波数設定状態にある間は外部から制御信号が加えられ前記基準発振器の位相に同期したリセット信号を出力し前記プログラマブルカウンタに制御信号として前記プログラマブルカウンタの出力の位相を前記基準発振器の出力の位相と同相に制御するリセット回路とから構成されるPLL周波数シンセサイザにおいて、周波数を変更する直前の位相誤差が発生していても周波数設定状態から再び定常状態に復帰したときに発生する位相誤差は、周波数変更前と同じ値にすることができ周波数変更後に位相同期するまでの時間を従来よりも短くすることができる特徴を有している。

【0015】

【実施例】次に本発明について図面を参照して説明する。図1は、本発明の一実施例の構成図である。本図において、切替回路5、チャージポンプタイプの位相比較器6、ループフィルタ7を除いて他の構成要素の動作は既に説明した図3の構成要素の動作と全く同一であるため、上記の構成要素以外の動作については説明を省略する。

【0016】本発明のPLL周波数シンセサイザが、ある周波数に位相同期された定常状態では、切替回路5はONとなっており、プログラマブルカウンタ2の出力及び基準発振器4の出力をそのまま位相比較器6に接続する。本状態では、電圧制御発振器1、プログラマブルカウンタ2、位相比較器6、ループフィルタ7及び加算器8とで位相同期ループを構成し、電圧制御発振器1の出力は基準発振器4の出力に位相同期される。

【0017】次に、周波数設定状態においては、図3で説明した場合と同様に周波数設定データ(SF)がプログラマブルカウンタ2に、基準電圧設定データ(SV)が基準電圧発生回路9に、それぞれ制御信号として加えられる。

【0018】リセット回路3は、切替信号が入力されると、基準発振器4の出力に同期したリセット信号(R)をプログラマブルカウンタ2に加える。切替回路5はこの切替信号が入力されるとOFF状態となりプログラマブルカウンタ2の出力とチャージポンプ型の位相比較器6の入力及び、基準発振器4の出力とチャージポンプ型の位相比較器6の入力間の接続を断とする。

【0019】位相比較器6は、図3で記載した2出力の電圧出力タイプの位相比較器14と異なり1出力のチャ

ージポンプ型を用いる。チャージポンプ型位相比較器は、位相誤差に比例した時間だけ出力がON動作となり他の時間はOFF動作となることにより位相比較動作を行う位相比較器である。したがって、周波数設定状態が持続し、切替信号がOFF状態となっている間は、チャージポンプ型位相比較器6の第1及び第2の入力信号は共に断となっているため、チャージポンプ型の位相比較器の出力は断となる。

【0020】その結果、ループフィルタ7には電流が流れず位相比較器6と完全に開放された状態となる。ループフィルタ7には、オペアンプ12のフィードバックループ部にコンデンサ11があり、その特定数は従来のループフィルタ15と同一とするとループフィルタ7の入力が開放された状態のときには、短い時間であれば周波数設定状態の直前のオペアンプ12の出力電圧を保持することができる。

【0021】周波数設定状態開始から定常状態に移行するまでの時間は通常非常に短く、例えば数10～100 $\mu$ s程度であり、前述のループフィルタ15の時定数に比べて極めて短い。したがって、このループフィルタ7の出力は、周波数設定状態に入る直前のほとんど同じ状態を周波数設定終了時まで保存し続けることができる。

【0022】この結果、周波数を変更する直前に電圧制御発振器1の出力周波数が周囲温度の変化や外乱等の影響によって変化し、位相誤差が生じている状態であっても、その位相誤差を補償するためのループフィルタ7の出力電圧は周波数変更後までほとんどそのまゝの値を保持できる。

【0023】周波数設定状態から再び定常状態に復帰したとき必要となる位相誤差は、周波数変更前と周波数変更後でも通常同一であるから、定常状態に復帰してから電圧制御発振器1の出力の位相が、基準発振器4の位相と同期状態となるまでに要する時間は、従来の実施例である図3および複数の公開された発明による周波数シンセサイザよりも十分短い時間で良いことになる。

【0024】図2は、本発明による周波数切り替え時の動作を説明するものである。本図において、周波数切り替え前に電圧制御発振器1の温度変動により位相誤差が

発生している場合、ループフィルタ7の出力電圧では $V_1$ となっている。この状態で周波数を切り替えると、ループフィルタ7の出力電圧はほぼ $V_1$ である。また、本状態より定常状態に移行した場合、再び、電圧制御発振器1は位相誤差を発生しているため、瞬時にループフィルタ7の出力電圧 $V_1$  ( $V$ ) に位相同期することを示したものである。

【0025】

【発明の効果】以上説明したように、本発明は周波数を変更後に、基準発振器4の出力と位相同期するために必要とする時間を従来のこの種の周波数シンセサイザよりも十分短くすることができる効果を有する。

【0026】したがって、本発明の周波数シンセサイザを送受信周波数帯を高速で切り替えて送受信する送受信機の周波数切り替え部分に使用することにより、従来より送受信周波数を高速で切り替えることが可能となる。

【図面の簡単な説明】

【図1】本発明による高速化を図った周波数シンセサイザの一実施例を構成を示す。

【図2】図1の各部の動作を示すタイムチャートである。

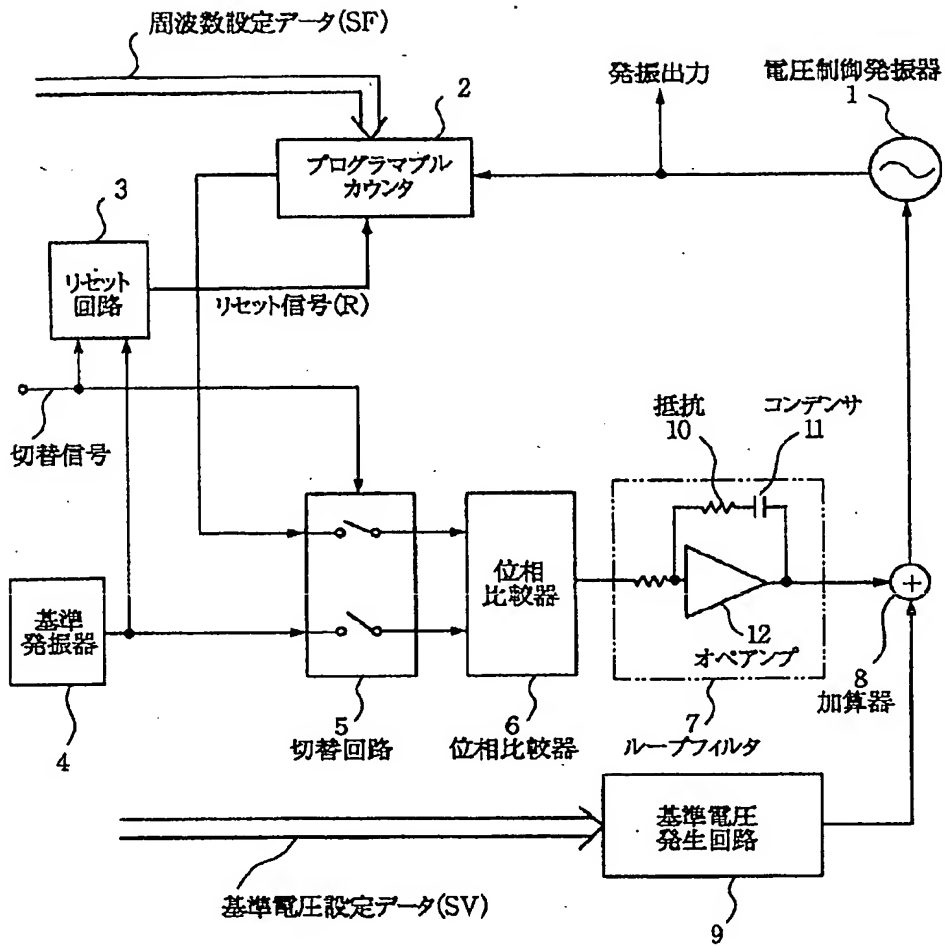
【図3】従来の周波数シンセサイザの構成を示す。

【図4】図3の従来例各部の動作を示すタイムチャートである。

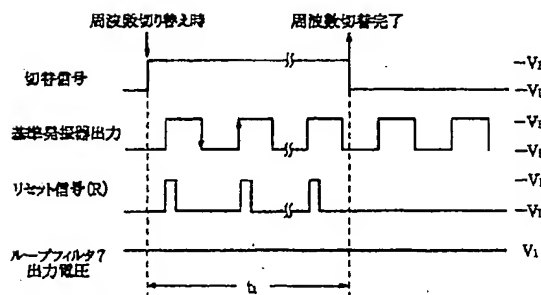
【符号の説明】

- |       |           |
|-------|-----------|
| 1     | 電圧制御発振器   |
| 2     | プログラムカウンタ |
| 3     | リセット回路    |
| 4     | 基準発振器     |
| 5, 13 | 切替回路      |
| 6, 14 | 位相比較器     |
| 7, 15 | ループフィルタ   |
| 8     | 加算器       |
| 9     | 基準電圧発生回路  |
| 10    | 抵抗        |
| 11    | コンデンサ     |
| 12    | オペアンプ     |

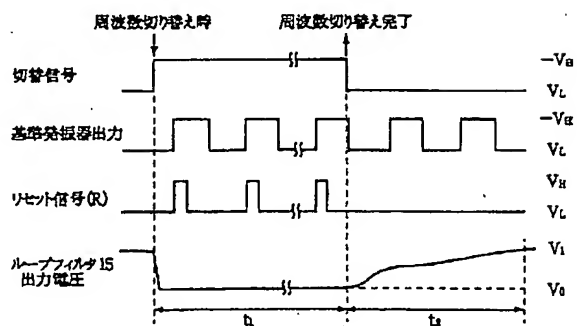
【圖 1】



【図2】



【圖 4】



【図3】

